

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-015696**
(43)Date of publication of application : **19.01.2001**

(51)Int.CI.

H01L 27/10

C23C 16/40

H01L 21/316

H01L 21/318

H01L 27/108

H01L 21/8242

(21)Application number : **11-183284**

(71)Applicant : **NEC CORP**

(22)Date of filing : **29.06.1999**

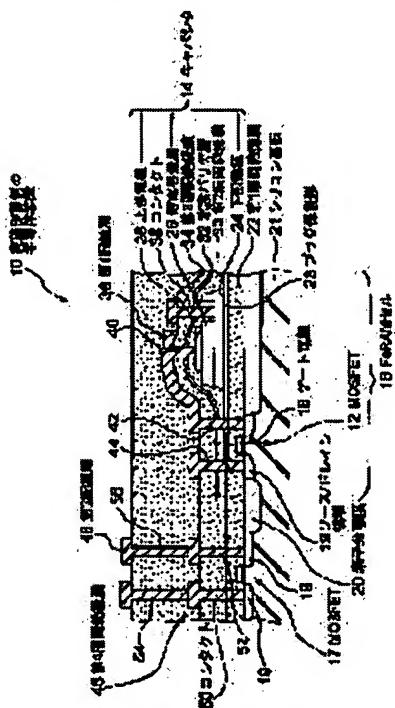
(72)Inventor : **NAKURA TAKESHI**

(54) HYDROGEN BARRIER LAYER AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a hydrogen barrier layer of less hydrogen in a film, less stress, and low water-permeability.

SOLUTION: A hydrogen barrier layer 32, wherein a capacitor 14 provided with an upper part electrode 28 comprising an electrostatic capacity film 26 of a PZT film and a laminated metal film of IrO₂ film/Ir film is coated so that a hydrogen is prevented from approaching the capacitor 14 for contact, is an SiON film of thickness 600 Å which is film-formed by a plasma CVD method. Above and below the hydrogen barrier layer 32, interlayer insulating films 34 and 30 comprising O₃-TEOS film are formed.



[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15696

(P2001-15696A)

(43)公開日 平成13年1月19日(2001.1.19)

(51) Int.Cl.⁷
H 01 L 27/10

C 23 C 16/40
H 01 L 21/316
21/318

識別記号
451
461

F I
H O 1 L 27/10

テマコト^{*}(参考)
4K030
5F058

C 2 3 C 16/40
H 0 1 L 21/316
21/318

C 2 3 C 16/40
H 0 1 L 21/316
21/318

5 F 083

審査請求 有 請求項の数 8 OL (全 9 頁) 最終頁に統ぐ

(21)出願番号

特羅平11-183284

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成11年6月29日(1999.6.29)

(72)発明者 奈倉 健

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

卷之三

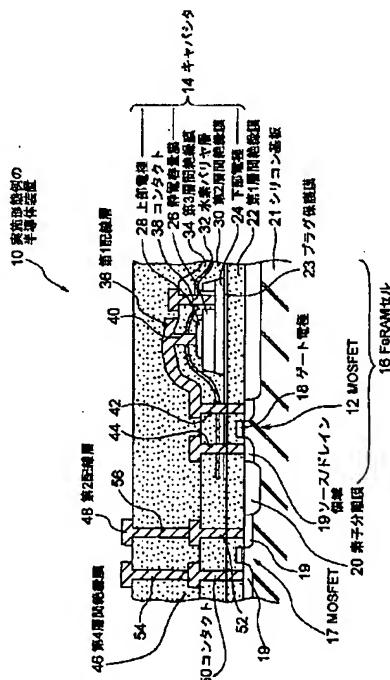
最終頁に統く

(54) 【発明の名称】 水素バリヤ層及び半導体装置

(57) 【要約】

【課題】 膜中の水素が少なく、ストレスも小さく、かつ水分透過性の低い水素バリヤ層を提供する。

【解決手段】 P Z T 膜からなる静電容量膜 2 6 及び I r O₂ 膜 / I r 膜の積層金属膜からなる上部電極 2 8 を有するキャパシタ 1 4 を被覆して、水素がキャパシタ 1 4 に近接し、接触するのを防止する水素バリヤ層 3 2 が、プラズマ CVD 法で成膜した、膜厚 6 0 0 Å の S i O₃ 膜である。また、水素バリヤ層 3 2 の上下には、O₃ - T E O S 膜からなる層間絶縁膜が成膜されている。



【特許請求の範囲】

【請求項 1】 水素との還元反応により性能の低下する、半導体装置の構成要素を被覆して、水素が構成素子又は構成要素に近接し、接触するのを防止する水素バリヤ層であって、
プラズマCVD法で成膜したSiON膜であることを特徴とする水素バリヤ層。

【請求項 2】 水素との還元反応により性能の低下する構成要素を有する半導体装置において、
前記を被覆する水素バリヤ層が、プラズマCVD法で成膜したSiON膜であることを特徴とする半導体装置。

【請求項 3】 前記構成要素上にO₃ - TEOS・SiON₂膜を介してプラズマSiON膜が成膜されていることを特徴とする請求項2に記載の半導体装置。

【請求項 4】 プラズマSiON膜上にO₃ - TEOS・SiO₂膜又はプラズマTEOS・SiO₂膜が成膜されていることを特徴とする請求項3に記載の半導体装置。

【請求項 5】 前記構成要素が、金属酸化膜を静電容量膜としたキャパシタであることを特徴とする請求項2から4のうちのいずれか1項に記載の半導体装置。

【請求項 6】 金属酸化膜が、PZT膜、SBT膜、BST膜、及びTa₂O₅膜のいずれかであることを特徴とする請求項5に記載の半導体装置。

【請求項 7】 前記構成要素が、電極を構成する金属膜の少なくとも一部に金属酸化物を有するキャパシタであることを特徴とする請求項2から6のうちのいずれか1項に記載の半導体装置。

【請求項 8】 金属酸化物がIrO₂又はRuO₂であることを特徴とする請求項7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、水素バリヤ層、及び水素バリヤ層を備えた半導体装置に関し、更に詳細には、膜中の水素含有量が小さく、水分透過性が低く、しかも温度環境の変化により発生するストレスが小さい水素バリヤ層、及びそのような水素バリヤ層を備えた半導体装置に関するものである。

【0002】

【従来の技術】揮発性、又は不揮発性のメモリを備えたロジック混載メモリがある。不揮発性メモリには、従来、EEPROMが用いられてきたが、読み書きスピード、低消費電力、読み書き回数等の点で、EEPROMより優れているFeRAMの必要性が高まっている。

【0003】ところで、ロジックを構成するMOSFETの製造工程では、ゲート電極の界面準位、固定電荷、オン電流値、しきい値電流等のトランジスタ特性を最終的に調整するために、金属配線構造を形成した後、パッセーション膜を成膜する前に、400°C～450°Cの温度範囲で、数%から50%の範囲の水素濃度の水素雰

囲気内で、數十分程度の水素アニール処理をウエハに施している。

【0004】一方、FeRAMのキャパシタとして設けられている、PZTやBST等のペロブスカイト型酸化物強誘電体層を用いたキャパシタでは、水素などの還元性雰囲気に遭遇すると、強誘電体層から酸素が脱離してキャパシタ特性が劣化することが知られている。更には、仮に水素アニール処理を施さなくても、例えば、配線層の一部としてタンクステンをCVD法で形成する際や、層間絶縁膜としてプラズマCVD法によるシリコン酸化膜を堆積させる際に、水素が発生して、水素アニール処理と同じ効果を強誘電体層に与える。

【0005】そこで、FeRAMセルアレイと、センサアンプ、デコーダ等のFeRAMセルアレイの周辺回路部と、FeRAMセルアレイ及び周辺回路部と協動して所定の演算処理及び入出力処理を行うロジック部とを混載した、従来のロジック混載FeRAMLSIでは、水素アニール処理に代えて窒素アニール処理を行っているものの、トランジスタの回復の程度は、水素アニール処理に比べて劣っている。また、別法として、ロジック混載FeRAMLSIのFeRAMセルアレイを水素バリヤ層で覆い、周辺部とロジック部とを水素バリヤ層から露出させた構成を備え、周辺回路部とロジック部に水素アニール処理を施す方法も研究されている。水素バリヤ層とは、水素収蔵金属、水素不透過金属等で形成された膜を意味し、水素を透過させないようなものを言う。

【0006】水素バリア性を有する膜の成膜材料として、従来、SiH₄とNH₃とからプラズマCVD法により温度400°C程度で成膜したプラズマSiN膜、熱CVD法によるSiN膜、温度100°Cから200°Cの範囲でスパッタ法により堆積させたTiO₂膜、及び温度100°Cから200°Cの範囲でスパッタ法により堆積させた、TiN、AIN等の金属窒化物の導電体膜が、提案されている。

【0007】

【発明が解決しようとする課題】しかし、以下に説明するように、従来の水素バリア膜には、それぞれ、問題があつて、技術的に満足できるものではなかった。

1) プラズマSiN膜には、(1) 成膜時に水素が混入し、原子数比で20%から25%の水素が膜中に残留するために、膜の水素含有量が本来的に高く、残留水素のために水素の還元反応を引き起こしやすい、(2) 水分透過性が比較的高く、プラズマSiN膜上の絶縁膜が水分透過性であれば、半導体装置の構成要素内に水分が透過して半導体素子特性を低下させる、(3) 热処理等の温度環境の変化により、例えば2×10⁹ dyne/cm²の圧縮応力から5×10⁹ dyne/cm²の引張応力程度の大きなストレスを強誘電体膜に発生させ、強誘電体膜はストレス影響を大きく受け、強誘電体膜の特性、従つてキャパシタ特性が劣化する。(4) O₃-TEOS膜

を積層する際の相性が悪い等の問題がある。

【0008】2) 热CVD法によるSiN膜には、SiN膜の成膜温度が高く、トランジスタの構成要素、キャパシタの強誘電体膜等に好ましくない影響を及ぼすという問題があった。

【0009】3) TiO₂膜は、成膜時に水素が混入せず、従って膜中の残留水素が無く、水分透過性も小さく、熱処理等の温度環境の変化により発生するストレスも小さいものの、(1)水素により還元されて、膜質が変化し、水素バリア性が無くなるという問題があった。

【0010】4) TiN、AlN等の導電体膜は、成膜時に水素が混入せず、従って膜中の残留水素が無く、水分透過性も小さいものの、(1)熱処理等の温度環境の変化による発生するストレスが大きいという問題に加えて、(2)導電体であるから、その適用範囲に制約があって、例えばキャパシタ全体を覆うような態様で適用するのは、短絡等の欠陥が生じ易く、技術的に難しいという基本的な問題があった。

【0011】また、PZT、SBT等の強誘電体で水素バリア膜を形成することも提案されているが、水素が進入してきた時、強誘電体自身を水素に還元させて水素を消費することにより、水素に進入を防止しているので、水素と強誘電体の酸素とが化合して、水分が発生する等の問題があった。

【0012】以上のように、従来、提案されている水素バリア層は、一長一短があって、実用的に満足すべき段階に達しているという水素バリア層は、現在のところ見当たらず、そのために、ロジック混載FeRAMLSIのFeRAMセルアレイを覆ってロジック混載FeRAMLSIに水素アニール処理を施すことができるような水素バリア層の開発が、急がれている。従来の水素バリア層の問題の説明では、静電容量膜として強誘電体膜を使用したキャパシタを例に挙げて、問題を説明したが、静電容量膜として高誘電体膜を使用したキャパシタについて、程度の差こそあれ、同様の問題があった。また、キャパシタに限らず、水素との還元反応により性能の低下する構成要素を有する半導体装置には同様の問題がある。

【0013】そこで、本発明の目的は、膜中の水素が少

なく、ストレスも小さく、かつ水分透過性の低い水素バリア層、及びそのような水素バリア層を備えた半導体装置を提供することである。

【0014】

【課題を解決するための手段】本発明者は、種々の組成の膜を試験した結果、プラズマSiON膜は、水素バリア性が高く、膜中の水素含有量が小さく、水分透過性が低く、しかも温度環境の変化により発生するストレスが小さいことを見い出した。

【0015】上記目的を達成するために、上述の知見に基づいて、本発明に係る水素バリア層（以下、第1の発明と言う）は、水素との還元反応により性能の低下する、半導体装置の構成要素を被覆して、水素が構成要素に近接し、接触するのを防止する水素バリア層であって、プラズマCVD法で成膜したSiON膜であることを特徴としている。ここで、半導体装置の構成要素とは、半導体装置の集積回路を構成する回路素子、例えばキャパシタ、トランジスタ、抵抗等を意味し、更にはキャパシタの静電容量膜及び電極等の回路素子の構成要素も含む広い概念である。

【0016】更に、本発明者は、第1の発明のSiON膜の水素バリア性を評価するために、即ちSiON膜を水素バリア層として用いて水素アニール処理を施した時、キャパシタの特性に悪影響を及ぼさないかどうかを試験するために、次の試験を行った。先ず、後述する実施形態例の半導体装置10からMOSFET12とMOSFET17とを除いたもの、即ちキャパシタ14部分と同じ構成で、1辺2μmの正方形の平面形状を有する、2500個のキャパシタ14をアレイ状に配列した構造からなる試料を、実施形態例の半導体装置10と同様にして作製し、同様に水素アニール処理を施した。

【0017】水素バリア層32としてSiON膜を成膜するに当たり、表1に示すように、パラメータとしてN₂Oの流量を変えて、実験例1から4の試料を作製した。尚、実験例3の試料は、実施形態例の半導体装置10のキャパシタ14部分と同じ構成を有し、実施形態例の半導体装置10の作製の際のSiON膜の成膜条件と同じ条件でSiON膜を成膜したものである。

【表1】

実験例	1	2	3	4
N ₂ Oの流量 (sccm)	0	200	400	600
ストレス (×10 ⁹ dyne/cm ²)	7	3	1	0.6
水素含有量 (×10 ²² cm ⁻³)	3.5	2.4	1.9	1.6
耐湿性 (時間)	700	1100	2000 以上	1800

【0018】そして、実験例1から実験例4の試料について、膜中に生じるストレス、膜中の水素含有量、及び耐湿性を測定し、表1に示す結果を得た。耐湿性は、いわゆるPressur Cooler Testによって行い、圧力を作用させた水蒸気中に試料を置き、水分が透過するまでの時間を測定し、その時間が長いものを耐湿性が高いと評価した。表1から判る通り、SiON膜のストレスは、実験例3及び4の試料では、従来のプラズマSiN膜に比べて著しく小さく、また、水素含有量及び耐湿性（即ち水分透過性の逆）は、実験例1から4の試料で、従来のプラズマSiN膜に比べて著しく小さい。実験例3の試料の耐湿性が最も良好であるから、最も緻密なSiON膜であって、水素バリヤ性が高いと評価できる。

【0019】また、実施形態例の半導体装置10と同じ構成を有し、同じ条件でSiON膜を成膜した実験例3の試料について、ソーヤタワー回路によってキャパシタの印加電圧と電荷密度との関係を測定したところ、図5(a)に示すグラフを得た。一方、水素アニール処理を施していないことを除いて試料と同じ構成のキャパシタについて、その印加電圧と電荷密度との関係を測定したところ、図5(b)に示すグラフを得た。図5(a)と図5(b)との比較から、水素アニール処理を施した試料のキャパシタの電荷密度履歴は、水素アニール処理を施していないキャパシタの電荷密度履歴と殆ど同じであって、試料のキャパシタでは、水素アニール処理の影響が水素バリヤ層の存在により殆どないことが判る。従つて、本発明に係るSiON膜が、水素バリヤ層として極めて有効であると評価できる。

【0020】尚、図5(c)は後述する第2層間絶縁膜30と第3層間絶縁膜34との間に水素バリヤ層32としてプラズマSiON膜を介在させていないことを除いて、試料と同じ構成のものに水素アニール処理を施した

後に、キャパシタの印加電圧と電荷密度との関係を測定した結果を示すグラフである。

【0021】本発明に係る半導体装置（以下、第2の発明と言う）は、水素との還元反応により性能の低下する構成要素を有する半導体装置において、前記を被覆する水素バリヤ層が、プラズマCVD法で成膜したSiON膜であることを特徴としている。

【0022】第2の発明によれば、前記構成要素を被覆する水素バリヤ層を、例えば強誘電体部分のみにプラズマCVD法で成膜したSiON膜で構成することにより、半導体装置に水素アニール処理を施した際、前記構成要素が水素バリヤ層の存在により水素に遭遇しないので、前記構成要素の要素特性を維持しつつ、水素アニール処理の必要な領域に水素アニール処理を施すことができる。

【0023】本発明の好適な実施態様では、前記構成要素上にO₃ - TEOS・SiON₂膜を介してプラズマSiON膜が成膜されている。プラズマSiON膜及びプラズマSiN膜を、直接、キャパシタ上に成膜することはできない。なぜなら、成膜ガス中の還元雰囲気やプラズマ雰囲気によると思われる原因のため、正常に成膜できないからである。そのため、キャパシタ上に直接成膜できるO₃ - TEOS・SiO₂膜を成膜した上で、プラズマSiON膜を成膜することで、成膜雰囲気とキャパシタ構成要素が直接触れることを防いでいる。更には、プラズマSiON膜上にO₃ - TEOS・SiO₂膜又はプラズマTEOS・SiO₂膜が成膜されている。O₃ - TEOS・SiO₂膜又はプラズマTEOS・SiO₂膜をプラズマSiON膜の上に成膜するには、配線のエッチング時のオーバーエッチングから、プラズマSiON膜の損傷を防ぐためである。しかし、プラズマSiN膜の場合、プラズマSiN膜上のO₃ - T

$\text{EOS} \cdot \text{SiO}_2$ 膜が成長し難いので、エッチング時の制御性が悪い。

【0024】本発明の好適な適用例では、前記構成要素が、金属酸化膜を静電容量膜としたキャパシタである。金属酸化膜の静電容量膜には制約はなく、例えばP Z T膜、S B T膜、B S T膜及び Ta_2O_5 膜のいずれかである。P Z Tとは化学式 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ 、S B Tとは化学式 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、B S T膜となり、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ である。また、P Z T膜やS B T膜中の元素の一部をL a、C a、S r、N b等で置換した膜であってもかまわない。また、前記構成要素が、電極を構成する金属膜の少なくとも一部に金属酸化物を有するキャパシタである。例えば、金属酸化物が IrO_2 又は RuO_2 である。

【0025】

【発明の実施の形態】以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例1

本実施形態例は、本発明に係る半導体装置の実施形態の一例であって、図1は本実施形態例の半導体装置の構成を示す断面図である。本実施形態例の半導体装置10は、Fe RAMセルと、ロジック部とを備える半導体装置であって、図1に示すように、MOSFET12とキャパシタ14とを有するFe RAMセル16と、MOSFET17を有するロジック部とから構成されている。

【0026】Fe RAMセル16のMOSFET12及びロジック部のMOSFET17は、ゲート絶縁膜上のゲート電極18及びソース／ドレイン領域19等を含めて通常の構造を有するMOSFETであって、それぞれ、素子分離膜20で分離されてシリコン基板21に形成されている。MOSFET12及び17上には、 SiO_2 膜からなる第1層間絶縁膜22及び、 SiON 膜（下層）と SiO_2 膜（上層）とからなるプラグ保護膜23が成膜されている。

【0027】キャパシタ14は、プラグ保護膜23上に、順次、形成された、下部電極24、静電容量膜26、及び上部電極28とから構成されている。下部電極24はTi膜（下層）とPt膜（上層）とから構成され、静電容量膜26は強誘電体であるP Z T膜で構成され、上部電極28は IrO_2 膜（下層）とIr膜（上層）とから構成されている。

【0028】MOSFET12及びキャパシタ14上には、順次、膜厚1000～2000Åの O_3-TEOS ・ SiO_2 膜からなる第2層間絶縁膜30、膜厚200～1000Åのプラズマ SiON 膜からなる水素バリヤ層32、及び膜厚3000Å以上の O_3-TEOS ・ SiO_2 膜からなる第3層間絶縁膜34が成膜されている。また、第3層間絶縁膜34上には、上から下の順序で、 $\text{TiN}/\text{AlSiCu}/\text{TiN}/\text{Ti}$ の多層金属膜

からなる第1配線層36が形成され、パターニングされて各配線を形成している。キャパシタ14の下部電極24と上部電極28、及びMOSFET12のソース／ドレイン領域は、それぞれ、コンタクトホール38、40、42、及び44を介して、第1配線層36の各配線に接続している。

【0029】MOSFET17上には、順次、膜厚2000Åの O_3-TEOS ・ SiO_2 膜からなる第2層間絶縁膜30、及び膜厚3000Åの O_3-TEOS ・ SiO_2 膜からなる第3層間絶縁膜34が成膜されていて、ロジック部のMOSFET17は、水素バリヤ層32によって覆われておらず、水素アニール時に、水素が到達する。

【0030】MOSFET12、キャパシタ14及びMOSFET17の第1配線層36上には、 SiO_2 膜からなる第4層間絶縁膜46が成膜され、その上に第1配線層36と同じ構成で第2配線層48が成膜され、パターニングされて、各配線を形成している。MOSFET17のソース／ドレイン領域19は、コンタクトホール50、52を介して第1配線層36に、更にスルーホール54、56を介して第2配線層48の各配線に接続している。

【0031】次に、図2から図4を参照して、本実施形態例の半導体装置10のFe RAMセル部分の作製方法を説明する。図2（a）から（c）、図3（d）から（f）及び図4（g）と（h）は、それぞれ、半導体装置10のFe RAMセル部分を作製する際の工程毎の基板断面図である。尚、ロジック部のMOSFET17の作製方法は従来の方法と同じであるから省略する。

【0032】先ず、図2（a）に示すように、従来の方法に従って、シリコン基板21に素子分離膜20を形成し、次いでゲート絶縁膜及びゲート電極18、更にソース／ドレイン領域19を形成する。シリコン基板18上に第1層間絶縁膜22を成膜し、次いで第1層間絶縁膜22を開口して、その中にコンタクトプラグ42、44Yとしてタングステンプラグを埋める。

【0033】次に、第1層間絶縁膜22上に、膜厚2000Åのプラグ保護膜23を成膜する。続いて、スペッタ法により膜厚300ÅのTi膜及び膜厚2000ÅのPt膜を成膜して、下部電極層24を形成する。更に、ゾルゲル法やスペッタ法、C r D法により、3000ÅのP Z T膜からなる静電容量膜26を形成する。次いで、膜厚500Åの IrO_2 膜及び膜厚1000ÅのIr膜をスペッタ法により成膜して、上部電極層28を形成して、図2（a）に示す断面構造を得る。

【0034】次に、上部電極層28をエッチングして、上部電極28を形成すると共に静電容量膜26を露出させ、続いて静電容量膜26及び下部電極層24を所定のパターンにエッチングして、キャパシタ14の輪郭を形成すると共にプラグ保護膜23を露出させる。次いで、

キャパシタ 1 4 の輪郭を形成した基板を 400~600 °C の酸素雰囲気中で 10~25 分間維持し、アニール処理を行う。このアニール処理は、強誘電体膜をパターンニングするために行ったエッチングにより、強誘電体が受けたダメージを回復するためのものである。次に、図 2 (b) に示すように、静電容量膜 26 をエッチングしてコンタクト 38 用の開口 39 を設ける。また、FeRAM セル 1 6 以外の領域のプラグ保護膜 23 をエッチングして、除去する。

【0035】 続いて、図 2 (c) に示すように、キャパシタ 1 4 上及びプラグ保護膜 23 上に、膜厚 1000~2000 Å の O₃ - TEOS・SiO₂ 膜からなる第 2 層間絶縁膜 30 を成膜し、次いでプラズマ CVD 法により膜厚 200~1000 Å の SiON 膜からなる水素バリヤ層 32、更に膜厚 3000 Å 以上の O₃ - TEOS・SiO₂ 膜からなる第 3 層間絶縁膜 34 を成膜する。また、FeRAM セル 1 6 以外の領域の水素バリヤ層 32 をエッチングして、除去する。

【0036】 第 2 層間絶縁膜 30 及び第 3 層間絶縁膜として設けた O₃ - TEOS・SiO₂ 膜の成膜条件は、次の通りである。

ガス流量：TEOS / 1.0 sccm、O₃ / 70 g/m³
温度 : 375 °C

【0037】 水素バリヤ層 32 として設けた SiON 膜の成膜条件は、次の通りである。

ガス流量：SiH₄ / 800 sccm、NH₃ / 600 sccm、N₂O / 400 sccm
温度 : 300 °C
圧力 : 0.3 Torr

【0038】 次に、図 3 (d) に示すように、第 3 層間絶縁膜 34、水素バリヤ層 32、及び第 2 層間絶縁膜 30 をエッチングして、下部電極 24 と接続するコンタクト 38 及び上部電極 28 と接続するコンタクト 40 形成用のコンタクトホール 41、43 を開口する。続いて、コンタクトホール 41、43 を開口した基板を 400~450 °C の酸素、又は窒素雰囲気中で 10~20 分間維持し、アニール処理する。このアニール処理は、下部電極 24、静電容量膜 26、及び上部電極 28 で構成されるキャパシタの上に、第 2 層間絶縁膜 30、水素バリヤ層 32、及び第 3 層間絶縁膜 34 を形成し、その後コンタクトホール 41、43 を開口する工程において、強誘電体膜が受けたダメージを回復するためのものである。

【0039】 次いで、図 3 (e) に示すように、第 3 層間絶縁膜 34、水素バリヤ層 32、第 2 層間絶縁膜 30、及びプラグ保護膜 23 をエッチングして、コンタクト 42、44 のコンタクト下部を露出させるコンタクトホール 45、47 を開口する。

【0040】 続いて、図 3 (f) に示すように、第 3 層間絶縁膜 34 上には、上から下の順序で、TiN/AI/SiCu/TiN/Ti の膜厚 7000 Å の多層金属膜

からなる第 1 配線層 36 をスパッタ法により形成して、コンタクトホール 41、43、45 及び 47 を埋め込んでコンタクト 38、40、42、44 を形成する共に、第 1 配線層 36 を形成する。そいで、第 1 配線層 36 をパターンニングして各配線を形成する。

【0041】 次に、図 4 (g) に示すように、第 1 配線層 36 上に SiO₂ 膜からなる第 4 層間絶縁膜 46 を成膜する。

【0042】 次いで、図 4 (h) に示すように、第 1 配線層 36 と同じ構成で第 2 配線層 48 を第 4 層間絶縁膜 46 上に形成し、パターンニングして各配線を形成する。更に、第 2 配線層 48 上に図示しない SiO₂ 膜を成膜する。続いて、水素ガスと窒素ガスの容量比が H₂ : N₂ = 1 : 1 で、温度 400 °C の水素ガス／窒素ガス混合雰囲気中で、約 20 分間水素アニール処理を図 4 (h) に示す基板に施す。以下、通常の方法に従って、本実施形態例の半導体装置 10 を完成する。

【0043】

【発明の効果】 第 1 の発明によれば、プラズマ CVD 法で成膜した SiON 膜を水素バリヤ層とすることにより、水素バリヤ性が高く、膜中の水素含有量が小さく、水分透過性が低く、しかも温度環境の変化により発生するストレスが小さい水素バリヤ層を実現している。第 2 の発明によれば、水素との還元反応により性能の低下する構成要素を有する半導体装置において、前記構成要素を被覆する水素バリヤ層をプラズマ CVD 法で成膜した SiON 膜で構成することにより、半導体装置に水素アニール処理を施した際、前記構成要素が水素バリヤ層の存在により水素に遭遇しないので、前記構成要素の要素特性を維持しつつ、水素アニール処理の必要な領域に水素アニール処理を施すことができる。

【図面の簡単な説明】

【図 1】 実施形態例の半導体装置の構成を示す断面図である。

【図 2】 図 2 (a) から (c) は、それぞれ、実施形態例の半導体装置を作製する際の工程毎の基板断面図である。

【図 3】 図 3 (d) から (f) は、それぞれ、図 2 (c) に統いて、実施形態例の半導体装置を作製する際の工程毎の基板断面図である。

【図 4】 図 4 (g) と (h) は、それぞれ、図 3 (f) に統いて、実施形態例の半導体装置を作製する際の工程毎の基板断面図である。

【図 5】 図 5 (a) から (c) は、それぞれ、キャパシタの印加電圧と電荷密度との関係を示すグラフである。

【符号の説明】

10 実施形態例の半導体装置

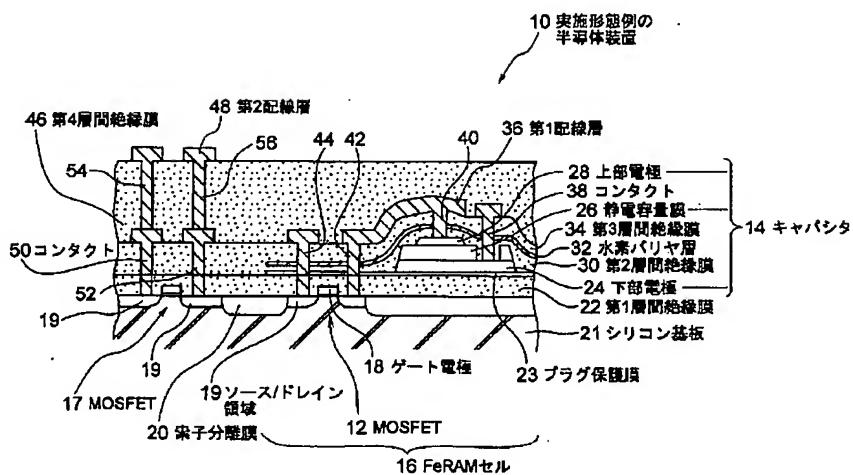
12 MOSFET

14 キャパシタ

16 FeRAM セル

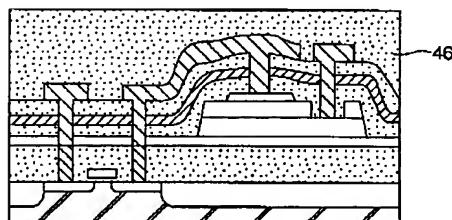
17 MOSFET	28 上部電極
18 ゲート電極	30 第2層間絶縁膜
19 ソース／ドレイン領域	32 水素バリヤ層
20 素子分離膜	34 第3層間絶縁膜
21 シリコン基板	36 第1配線層
22 第1層間絶縁膜	38、40、42、44 コンタクトホール
23 プラグ保護膜	46 第4層間絶縁膜
24 下部電極	48 第2配線層
26 静電容量膜	48 第2配線層
	48 第2配線層
	50 コンタクト
	52
	54
	58
	44 42
	40
	36 第1配線層
	28 上部電極
	38 コンタクト
	26 静電容量膜
	34 第3層間絶縁膜
	32 水素バリヤ層
	30 第2層間絶縁膜
	24 下部電極
	22 第1層間絶縁膜
	21 シリコン基板
	14 キャバシタ
	16 FeRAMセル

【図 1】

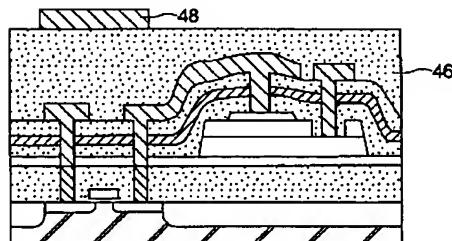


【図 4】

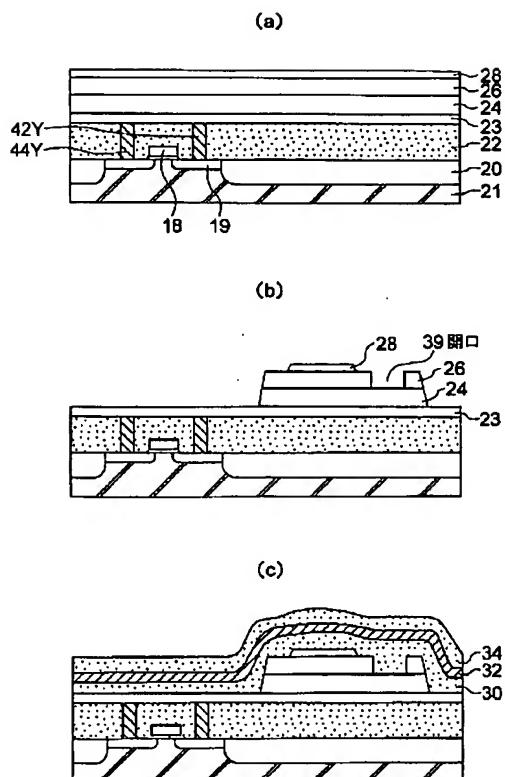
(g)



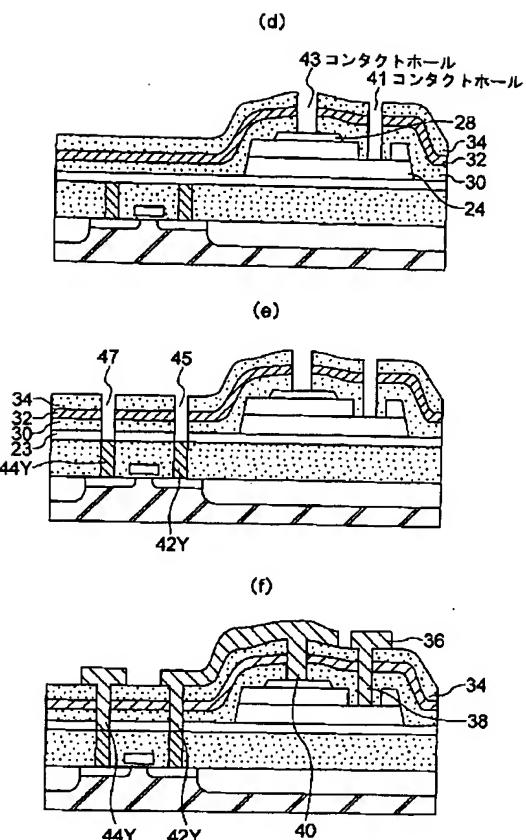
(h)



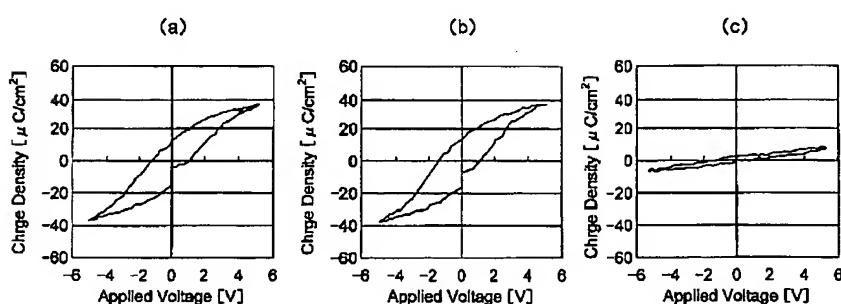
【図2】



【図3】



【図5】



フロントページの続き

(51) Int. Cl. 7

H 01 L 27/108
21/8242

識別記号

F I

H 01 L 27/10

「マーク」(参考)

651

F ターム(参考) 4K030 BA29 BA35 BA42 BA44 BB12
CA04 FA01
5F058 BA11 BA20 BB06 BC01 BC11
BF07 BF23 BF25 BF29 BF30
BF54 BH01 BJ10
5F083 AD21 AD60 FR02 GA30 JA06
JA14 JA15 JA17 JA36 JA37
JA38 JA39 JA40 JA43 JA56
MA06 MA18 MA19 MA20 PR21
PR33 ZA12